

基于 FPGA 与 DSP 的嵌入式 GNSS 接收机设计

杨树伟¹ 张冰¹ 胡锐²

(江苏科技大学电子信息学院¹, 镇江 212003; 北京耐威集思系统集成有限公司², 北京 100029)

摘要 随着 GNSS 接收机应用的不断深入, 其对系统功耗、体积等性能的要求越来越高。大规模集成电路芯片如现场可编程逻辑门阵列(FPGA)和高速数字信号处理器(DSP)等在嵌入式 GNSS 接收机设计中得到广泛应用。卫星信号数字处理是接收机的核心部件之一, 提出了一种基于 FPGA 与 DSP 模块化的嵌入式接收机的基带信号处理系统设计。利用 FPGA 完成基带相关器的设计, 并由 DSP 实现卫星信号的信号处理和定位导航解算。通过静态测试试验, 说明所设计的 GNSS 接收机具有体积小、功耗低和实时性强等特点。

关键词 全球导航卫星系统(Golbal Navigation Satellite System, GNSS)接收机 FPGA DSP 测试试验

中图法分类号 TN965.5 U666.134; **文献标志码** A

随着 GNSS 系统的发展以及卫星导航定位应用的推广与普及, GNSS 接收机用户的数量正在迅速增加, 诱人的经济前景激起了很多国家开发和应用 GNSS 接收机的热潮, 现在的市场上出现了各种类型和功能的 GNSS 接收机^[1-3]。为了使之更加深入、方便地应用到我们工作和生活的各个方面, GNSS 接收机势必向小型化、低功耗、高稳定性、高实时性方向发展。低功耗、高集成度、高性能的 GNSS 接收机将会成为市场主流接收机, 所以, 具有精确、灵活、可靠性好、体积小等特点的 DSP 和具有低功耗、低成本、软件可编程等特点的 FPGA 是将来 GNSS 接收机设计中集成电路芯片的最佳选择。目前, 市场上出售的大量 GNSS 接收机大多是在国外的专用芯片上进行的开发与改进, 关键技术并没有被我们掌握。现代军事的发展也离不开高精度的 GNSS 接收机。因此我们必须自主开发能满足我们国家民用和军事需要的 GNSS 接收设备。本文立足于系统的实时性、高效性、可靠性, 以实现小型化、

低功耗、高可靠性的接收机为目的, 提出 FPGA + DSP 的嵌入式 GNSS 接收机设计方案。

1 接收机的系统组成及芯片选型

1.1 GNSS 接收机的系统组成

GNSS 接收机主要由天线单元、射频前端、数字信号处理单元、导航解算单元及外围控制模块组成。天线接收 GNSS 电磁波信号, 将其转化成电信号并将微弱的电信号经过低噪声前置放大器进行放大; 输入到射频前端的高频模拟信号经滤波、下变频、增益控制和 A/D 变换后, 转化成中频数字信号; 数字信号处理单元负责中频数字信号通过各相关处理通道而转化成基带信号, 并对数字基带信号进行处理, 最后得到导航解算需要的导航电文、伪距、载波相位等各种观测量; 导航解算单元负责对各种观测量进行实时快速的处理, 实现定位解算, 最后向用户输出接收机的位置、速度、时间信息^[2]。其原理组成图(见图1)。

2011年6月22日收到

第一作者简介: 杨树伟(1985—), 山东滨州人, 硕士研究生。研究方向: GNSS 接收机设计。

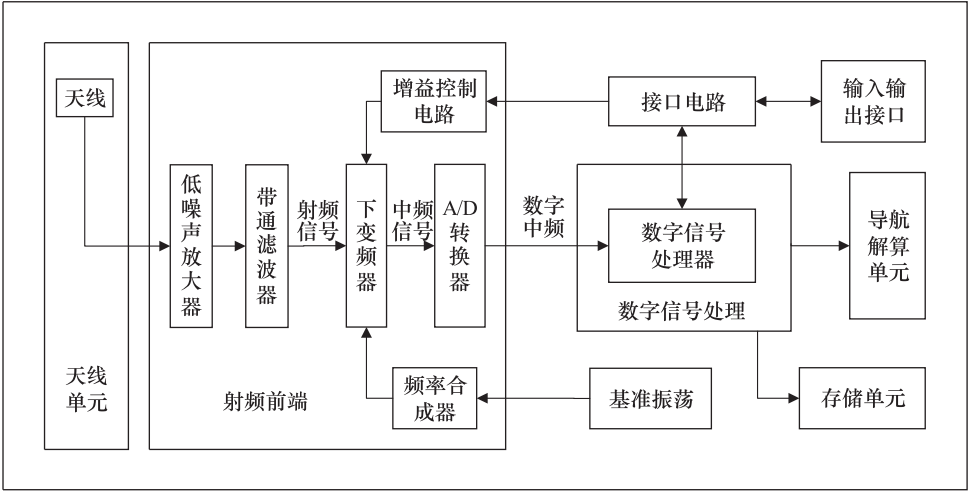


图1 GNSS接收机系统组成

1.2 芯片选型

本文的设计核心是由FPGA和DSP组成的数字信号处理单元,FPGA具有高速并行处理能力,可以实现基带相关运算并产生数字基带信号,DSP完成对基带数字信号的处理和解调等,最后完成导航解算并输出定位信息。同时,由于DSP具有丰富的外设,FPGA能灵活地进行编程配置,它们可以协同实现接收机系统的无缝连接^[3]。本设计采用了TI公司的高性能浮点DSP TMS320C6747,它具有375/456 MHz(1.2 V/1.3 V)的高速处理能力,能够满足接收机的实时高速处理要求,同时增加了可供选择的更加丰富的外围。FPGA则选用了速度更快、连接功能更丰富全面的Xilinx公司的Spartan 6E,它具有超强的并行处理和编程配置能力,功耗是上一代Spartan系列的50%,同时能够提供全新且更高效的双寄存器6输入查找表(LUT)逻辑和一系列丰富的内置系统级模块。

2 射频前端设计

由于电子器件易于处理较低频率的数字信号,所以,由天线接收到的GNSS信号需要进行降频和模数转化处理。射频前端的主要功能是对GNSS信号的进行下变频变换和模数转换,为后面的数字相关处理提供数字中频信号^[4]。对射频前端的设计

要求是:低噪声、高增益和高线性,为此本设计使用的主芯片是ZARLINK公司的GP2015,它拥有微型TQFP封装48 pin设计,低功耗(200 mW),并且包含完整VCO的片上PLL。芯片由频率合成器、三级混频器、自动增益控制电路及A/D转换器等组成。其中,射频滤波器选用Murata带通滤波器。其组成原理图(见图2)。

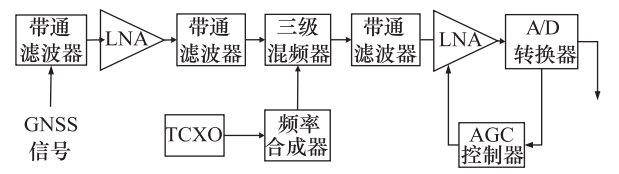


图2 射频前端模块

天线接收的GNSS信号功率微弱并且含各种噪声和干扰,首先经过带通滤波器滤除噪声(除L1信号以外的所有干扰信号和噪声),再进行功率放大处理;接下来经过具有低噪声特性的带通滤波器滤除各种镜像频率信号。由外部晶振(TCXO)提供的基准频率经过频率合成器产生本地参考信号,L1(1 575.42 MHz)射频信号经过滤波放大后,结合本地参考信号进行三次下变频混频,得到4.309 MHz数字模拟信号。模拟信号经过自动增益控制和A/D转化,根据奈奎斯特采样定理,由采样信号采样后得到1.405 MHz的中频数字信号。其中,采样频率除了满足奈奎斯特采样定理,还要避免与C/A码的

码率同步,即不能是 1.023 MHz 的整数倍。其射频前端外形图(见图 3)。

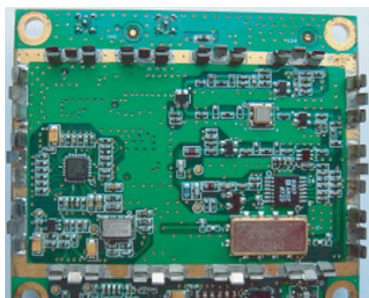


图3 GNSS 接收机射频前端外形图

3 FPGA 模块设计

FPGA 主要实现 GPS 信号的基带相关处理,它在 DSP 的控制下完成对信号的捕获、跟踪和解调解扩,得到数字基带信号。本设计 FPGA 采用了 Xilinx 公司的 Spartan 6E,其主要由载波数控晶振(NCO)、码 NCO、码发生器、积分清零单元、移位寄存器等核心单元组成。与上一代 Spartan 系列相比,功耗为其 50%,且速度更快、连接功能更丰富全面。同时提供了全新且更高效的双寄存器 6 输入查找表(LUT)逻辑和一系列丰富的内置系统级模块,其中包括 18 Kb (2 × 9 Kb) Block RAM、第二代 DSP48A1 Slice、SDRAM 存储器控制器、增强型混合模式时钟管理模块、SelectIO™ 技术、功率优化的高速串行收发器模块(最高速度达 3.2 Gb/s)、高级系统级电源管理模式以及通过 AES 和 Device DNA 保护功能实现的增强型 IP 安全性。这些特性使 Spartan 6E 成为本设计的最佳选择。

其基本原理是:射频前端输出的中频数字信号,先通过载波相位跟踪锁定实现对信号进行解调,再利用相关器将解调后的信号与码发生器产生的 C/A 码进行相关运算实现解扩,为后续处理提供基带信号^[5]。本设计拥有 12 相关器通道,每个相关器处理通道的电路都相同且各自独立,所以该接收机最多能同时接收 12 颗卫星的信号,相关器通道的结构(见图 4)。

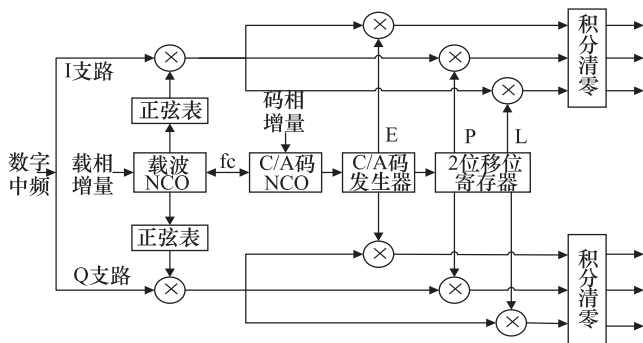


图4 接收机的相关通道

其信号处理流程为:数字中频信号进入相关器之后,进入同相(I)和正交(Q)两个支路,两个支路信号分别与正弦波复制载波、余弦波复制载波混频,完成解调处理;然后 2 支路上的混频信号又分别与码环复制的超前、即时和滞后三路本地 C/A 码做相关运算,实现解扩处理。

4 DSP 模块设计

DSP 是整个系统的核心部分,控制和协调着整个系统的工作,其运算和控制能力直接决定了系统的处理能力^[6]。综合考虑性能、速度、背景技术等诸方面因素,本设计选择了 TI 公司的高性能浮点 DSP TMS320C6747 作为系统的主处理芯片。该型芯片 CPU 频率最高达 456 MHz,拥有浮点系列 VLIW DSP 内核,32 KB 的 L1P RAM 和 32 KB L1D RAM,256K 的 L2 RAM,同时片内还含有 64 个通用寄存器,6 个 ALU 功能单元,这些都极大提高了 DSP 的处理性能。另外,芯片含有包括 EDMA3、2 路 I2C 和 SPI、3 路 McASP 以及 1 路 EMIFA 和 EMIFB、3 路 UART 以及 USB2.0 等丰富的外围,从而方便了 DSP 与 FPGA 及其它外围器件的互连。

4.1 DSP 的启动方式

TMS320C6747 没有提供专门的硬件启动方式,因此,所有的启动模式都利用了内部的 RAM。而 DSP 内部 RAM 在系统启动之前并没有装载程序,所以在上电启动过程中,必须及时地将程序下载到 DSP 内部 RAM 中。程序的下载过程将会消耗一部

分时间,同时也就增加了整个系统的启动时间^[7,8]。为此,我们必须综合考虑各个启动模式的速度以及芯片特点。

对于 TMS320C6747 来说, TI 为用户提供了 NAND Flash、NOR Flash、SPI、I2C、HPI 及 UART 六种 boot 模式,在加载速度方面:Flash 最快,高达 100 MHz;SPI 其次,能到 10 MHz;I2C 模式最慢,只能达到 400 kHz。由于芯片的并行接口 EMIFB 被用作与 FPGA 的接口设计,但是 EMIFA 没有被使用。另外,C6747 芯片提供的 EMIFA 支持 NAND Flash、NOR Flash 以及异步 SRAM。鉴于各个启动模式的速度和特点,为了保证整个系统的启动速度,本设计选择 NAND Flash 启动模式,启动过程如图 5 所示。

4.2 DSP 与外围器件的接口设计

由于 FPGA 与 DSP 间存在着大量的数据交换以及 DSP 要对 FPGA 进行实时控制,本文主要介绍 DSP 与 FPGA 的接口设计,至于其他外围接口设计不再加以说明。基带信号处理是接收机的最主要部分,它直接决定着接收机性能,因此必须确保基带信号的快速读取和实时处理。在本设计的接收机系统中,DSP 是通过 EMIF 口访问 FPGA 内部的相关数据的。C6747 含有一个 EMIFA 和 EMIFB,其中,EMIFA 主要支持异步存储类型的读写,例如 NAND Flash、NOR Flash 以及异步 SRAM;而 EMIFB 支持 SDRAM 的加载速度高达 133 MHz。

DSP C6747 有 16/32 位宽度的并行接口 EMIFB,最高可以支持 512 Mb 的 SDRAM,它配置合理的读写时序可以实现对 FPGA 内部 RAM 数据的快速读写操作。DSP 的 EMIFB 由建立、存贮、保持三个读写过程。必须对每个读写过程进行实际的时钟周期测量,以确定满足 DSP 读写要求。为使 DSP 与 FPGA 处理的数据达到同步,在设计中由 FPGA 发送“中断”信号,DSP 以外部中断形式来处理这个同步时间信号。DSP 与部分外围连接图如图 6 所示。

4.3 软件设计

前面已经介绍过,DSP 的主要功能是负责完成数字基带信号处理、输入输出接口控制、导航解算以及接收机整体系统控制。其程序设计主体包括:信号的搜索与跟踪,数据的输入、输出控制,完成与相关器的数据交换,任务切换。另外还有通道的分配,利用其他信息辅助捕获、跟踪,获取并输出伪距、载波相位等测量值,提取导航电文等,主要程序框图如图 7 所示。此外,需要特别注意的是:不同的任务程序在运行时会有不同的优先级,为了系统的顺畅运行和快速地启动定位并输出,需要将程序设置优先级。其中接收机软件最终目的是导航解算并输出定位结果,所以在程序设计中,要给予获取伪距、载波相位的观测量、提取导航电文和导航解算部分更高的优先级^[3]。

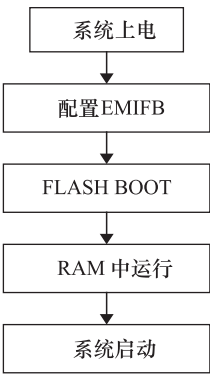


图 5 DSP 启动过程图

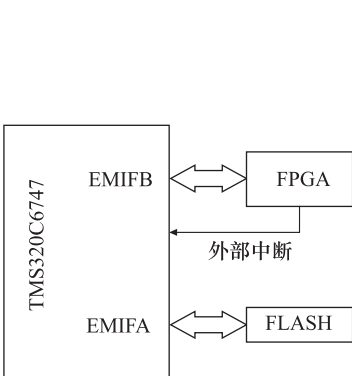


图 6 DSP 与部分外围连接图

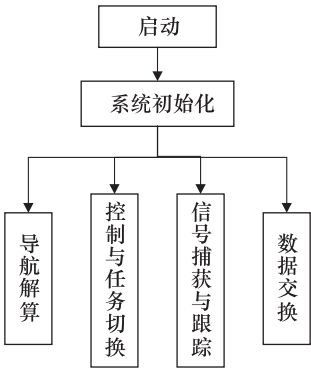


图 7 DSP 主要程序框图

5 实验结果

系统设计完成后,经过对射频电路、数字电路和系统整体的测试。证明该接收机系统各部分均正常,测试程序能正常快速地加载和运行。利用 ANTCOM 公司的有源双频天线,将天线固定于楼顶,用馈线连接天线和接收机,接 5 V 交流电上电后能够快速启动,并实现定位;通过串口将数据保存。其中,定位结果在 ECEF 坐标系的坐标如图 8 所示。

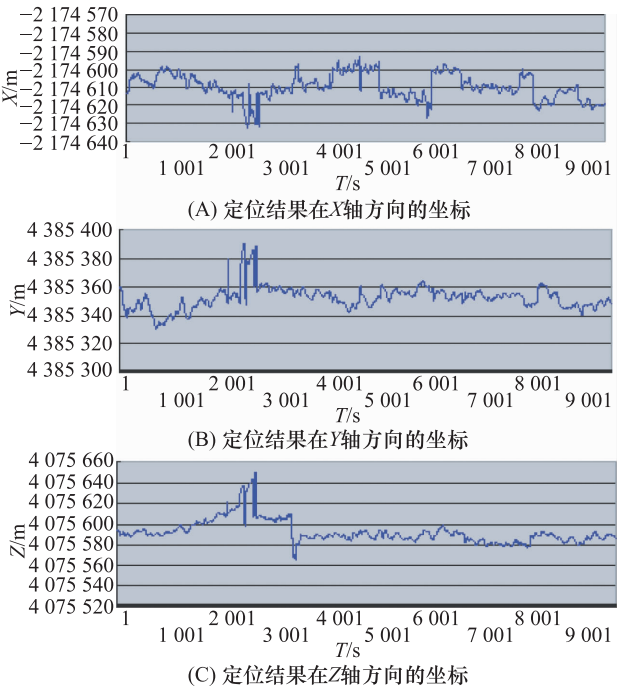


图8 定位在 ECEF 坐标系中的结果

定位结果在 ECEF 坐标系中的 X,Y,Z 轴方向上的标准差分别为:7 m,8.18 m,11.4 m。由于受周围建筑物、天气等影响,定位精度没有达到预想水平。但是由于在元器件、芯片选型上考虑了尺寸、功耗等问题,整体系统功耗很低;并且由于 DSP 启动方式和程序优先级的选择,使得系统能快速地启动并对信号的捕获与跟踪。

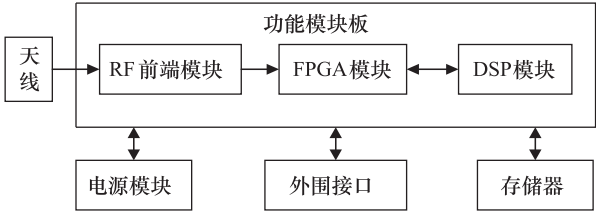


图9 GNSS 接收机系统功能图

7 结论

图 9 给出了本文设计的 GNSS 接收机系统的功能框图,整个系统主要由功能模块板、电源模块和外围接口组成。本文设计的接收机系统功耗为 2 W,尺寸为 110 mm×55 mm×15 mm,因此具有低功耗、小尺寸的优点,由试验测试可知该系统定位精度和实时性也比较高,但是在定位精度和稳定性方面仍需要改进和提高。

参 考 文 献

- 1 窦刚谊,梁向飞.一种高性能 GPS 接收机的设计. 科学技术与工程,2007; 7(06):1150—1153
- 2 谢 钢. GPS 原理与接收机设计. 北京:电子工业出版社,2009: 237—263
- 3 胡 锐,薛晓中,孙瑞胜,等. 基于 FPGA + DSP 的嵌入式 GPS 数字接收机系统设计. 中国惯性技术学报,2009;17(02):117—190
- 4 唐康华,吴美平,胡小平. 基于射频前端的 GPS 软件接收机设计与验证. 中国惯性技术学报, 2007;15(01):51—54
- 5 Nicolaj B, Peter R. A Single frequency GPS software receiver . Master thesis, Denmark Aalborg: Aalborg University, 2004: 26—51
- 6 武建锋. 基于 DSP 技术的 GPS 接收机设计. 西安:中国科学院研究生院,2006:46—67
- 7 胡 锐. 惯性辅助 GPS 深组合导航系统研究与实现. 南京:南京理工大学博士论文,2010;17(02):31—50
- 8 王 忠,刘光斌,张 博. 基于 DSP + FPGA 的多频 GPS 接收机系统设计. 计算机测量与控制,2010;18(08):1919—1923

(下转第 6655 页)

4 Linhares A. State space search strategies gleaned from animal behavior : A travelin salesman experiment. Biological Cybernetics, 1998; 78 :167—173

6 蒋忠中,汪定伟. 车辆路径问题的捕食搜索算法研究,计算机集成制造系统,2006;12(11):1899—1902

5 Linhares A. Synthesizing a predatory search strategy for VLSI layouts. Unpublished Manuscript, National Space Research Institute, S. J. Campos,1999;3(2):147—152

7 冯 剑, 岳 琪. 模拟退火算法求解 TSP 问题,森林工程,2008; 24(1):94—96

The Predatory Search Algorithm Based on Variability and its Experimental on Traveling Salesman Problem

YAO Shi-wei, CHEN Xian, SHEN Hai-hong
(China University of Geosciences(Beijing), Beijing 100083, P. R. China)

[Abstract] The quality and accuracy of solution of original predatory search algorithm is not high on the TSP problem and it is easy to fall into local optimum. So this algorithm is introduced variations to make original predatory search algorithm can jump out of local optimum, By the simulation of four commonly used TSP problem, the results show that the new algorithm are significantly increased in the solution quality and accuracy than the original predatory search algorithm.

[Key words] predatory search algorithm variability TSP

(上接第 6647 页)

Design of Embedded GNSS Receiver Based on FPGA and DSP

YANG Shu-wei¹, ZHANG Bing¹, HU Rui²
(School of Electronics and Information, Jiangsu University of Science and Technology¹, Zhenjiang 212003, P. R. China;
Beijing Navgnss Integration Co. ltd², Beijing 100029, P. R. China)

[Abstract] Along with the deepening of GNSS receiver application, the performance requirements for power consumption and volume is higher and higher, the large-scale integrated circuit chips such as field-programmable gate arrays (FPGA) and high performance digital signal processor (DSP) are widely used in embedded GNSS receiver. A design of baseband signal processing of embedded receiver based on FPGA + DSP is introduced, and one of core design is the digital signal processing unit. FPGA is used to carry correlation. And DSP is designed to achieve processing satellite signal and the navigation data. System static test show that this receiver has characteristic of littler bulk, lower power and real-time.

[Key words] GNSS receiver FPGA DSP static test